

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**Semiconductor light emitting device and its manufacturing method.**

Patent Number: ☐ [EP0630085](#), [A3](#), [B1](#)  
Publication date: 1994-12-21  
Inventor(s): SHAKUDA YUKIO C O ROHM CO LTD (JP)  
Applicant(s): ROHM CO LTD (JP)  
Requested Patent: ☐ [JP7007183](#)  
Application Number: EP19940109322 19940616  
Priority Number(s): JP19930145844 19930617  
IPC Classification: H01S3/19; H01L33/00  
EC Classification: [H01L33/00B6B](#), [H01L33/00C4C2B](#), [H01S5/327](#)  
Equivalents: DE69428556D, DE69428556T, ☐ [US5477063](#)  
Cited Documents: [EP0523597](#); [JP58127393](#); [JP3244118](#)

**Abstract**

In a semiconductor light emitting device of a group II-V semiconductor, a current shutting-off layer (6, 16) for passing the current only through a belt-shaped central area (6a) is formed in one of the two light shutting-up layers (5, 7, 15, 17) sandwiching an active layer (4, 14), so that the light emission efficiency improves and a light guiding path is provided. In a process for forming each layer on a substrate through epitaxial growth, the

belt-shaped central area (6a) is formed by etching the current shutting-off layer (6, 16).



Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開 号

特開平7-7183

(43) 公開日 平成7年(1995)1月10日

(51) IntCl.<sup>4</sup>  
H 0 1 L 33/00

識別記号 庁内整理番号  
D 7376-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平5-145844

(22) 出願日 平成5年(1993)6月17日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72) 発明者 尺田 幸男

京都市右京区西院清崎町21番地 ローム株式会社内

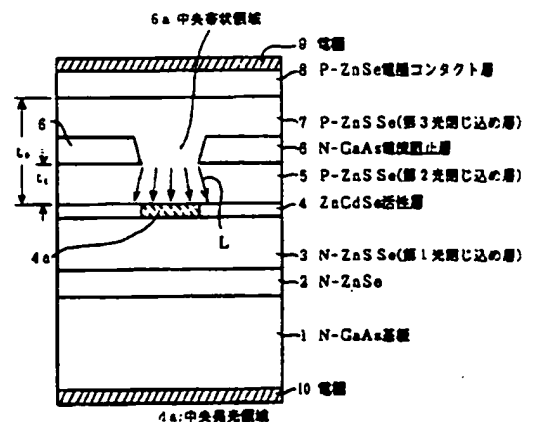
(74) 代理人 弁理士 佐野 静夫

(54) 【発明の名称】 半導体発光装置及びその製造方法

(57) 【要約】

【目的】 消費電力の低減及び温度特性の向上を図り、且つ、光閉じ込め層内における水平方向の光導波を簡単に制御できるようにする。

【構成】 II-VI族半導体をN型GaAs基板1上に成長して、N型バッファ層2、N型の第1光閉じ込め層3、活性層4、P型の第2光閉じ込め層5を形成し、さらにその上にN型GaAs層を成長し、この層における活性層中央発光領域4aと対向する中央帯状領域6aを除去することにより、その両側にN型GaAs電流阻止層6を形成し、その後、電流阻止層6及び中央帯状領域6aに露出する第2光閉じ込め層5上の全面に互ってII-VI族半導体を成長して、P型の第3光閉じ込め層を形成して、前記電流阻止層6により電流の流れを活性層中央発光領域4aに集中させるようにした構成。



## 【特許請求の範囲】

【請求項1】 ZnCdSSe系またはMgZnCdSSe系のII-VI族半導体をGaAs基板上に成長して、該GaAs基板と同一導電型の第1光閉じ込め層、活性層及び、前記第1光閉じ込め層とは導電型の異なる第2、第3光閉じ込め層及び電極コンタクト層をその順序で積層状に形成するとともに、前記電極コンタクト層と前記GaAs基板の互いに対向する外表面にそれぞれ電極を形成した半導体発光装置であって、前記第2光閉じ込め層と第3光閉じ込め層との間における前記活性層の中央発光領域と対向する中央帯状領域を除いた両側全域に互って、該第2、第3光閉じ込め層とは導電型の異なるGaAs電流阻止層を介在させたことを特徴とする半導体発光装置。

【請求項2】 第2光閉じ込め層の膜厚は $0.5\mu\text{m}$ より薄く形成されている請求項1の半導体発光装置。

【請求項3】 ZnCdSSe系またはMgZnCdSSe系のII-VI族半導体をGaAs基板上に成長して、該GaAs基板と同一導電型の第1光閉じ込め層、活性層及び、前記第1光閉じ込め層とは導電型の異なる第2光閉じ込め層をその順序で積層状に形成した後、前記第2光閉じ込め層の表面全面に互って、該第2光閉じ込め層とは導電型の異なるGaAsを成長してGaAs層を形成し、さらに該GaAs層における前記活性層の中央発光領域と対向する中央帯状領域を除去することにより、該帯状領域の両側にGaAs電流阻止層を形成し、その後、前記GaAs電流阻止層及び中央帯状領域に露出する第2光閉じ込め層上の全面に互って前記II-VI族半導体を成長して、該第2光閉じ込め層と同一導電型の第3光閉じ込め層を形成することを特徴とする半導体発光装置の製造方法。

【請求項4】 第2光閉じ込め層上にフォトリソグラフィの手法によりパターニングされたGaAs層を作製した後、該GaAs層の中央帯状領域をアンモニア、過酸化水素系のエッチング液でエッチングすることにより、GaAs電流阻止層が形成される請求項3の半導体発光装置の製造方法。

【請求項5】 GaAs電流阻止層の成長は、II-VI族半導体の成長時における温度よりも低い温度で行われる請求項3の半導体発光装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体レーザ装置、CDプレーヤ、LDプレーヤ中の信号読み取り、書き込み発光素子、バーコードリーダの発光素子、その他各種電子機器類の表示装置に用いられる青色発光素子（LED）等として使用される半導体発光装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】図9にこの種の半導体発光装置の従来例としてのZnSe系青色発光半導体レーザ装置を示す。この図に示した半導体レーザ装置は、ZnCdSSe系またはMgZnCdSSe系のII-VI族半導体をN型GaAs基板21上に成長して、N型ZnSeからなるバッファ層22、N型ZnSSeからなる光閉じ込め層23、ZnCdSeからなる活性層24、P型ZnSSeからなる光閉じ込め層25及びP型ZnSeからなる電極コンタクト層26をその順序で積層状に形成している。

【0003】そして、最上層の電極コンタクト層26上には、Au等の金属が直接蒸着されて電極27が形成されている。同様にN型基板21の外表面にも電極28が形成されている。また、N型及びP型のZnSSeからなる光閉じ込め層23、25はそれぞれ活性層24で発生する光の拡散を阻止する機能を有している。

【0004】このようなII-VI族半導体のPN接合構造を備えたものでは、電極27、28間に順方向のバイアスを印加すると、活性層24内に電流によって注入されたキャリアが閉じ込められて、誘導放出が盛んに起こり、さらに励起電流が閾値を越えたとき、該活性層24の平行両端面間で光が共振してレーザ発振が起こるのであるが、この場合、装置の出力性能を高めるためには、電流の発光に寄与する割合を高めることが重要である。

【0005】即ち、活性層24の発光部分は帯状の中央発光領域24aに限られているため、発光に寄与する電流の割合を高めるようにするためには、電流の水平方向（活性層24と平行な方向）への広がりを規制し、電流を可及的に活性層中央発光領域24aの範囲に閉じ込めることが望ましい。

【0006】従来では、この電流閉じ込め対策として電極コンタクト層であるP型バッファ層26上に電極27を形成するに際し、金属を蒸着後、活性層中央発光領域24aと対向する帯状領域のみを電極27として残し、その他の部分はエッチングにより除去することにより、電極27から活性層24へと流れる電流の水平方向への広がりを規制するようにしていた。

## 【0007】

【発明が解決しようとする課題】しかしながら上記従来構成では、電極27と活性層24の間には光閉じ込め層25及び電極コンタクト層26が介在していることから可成りの距離があるため、電流は活性層24に至るまでに矢印L'で示すように広がって、該活性層24の中央発光領域24a外にも広く及ぶことになる。

【0008】このため、活性層中央発光領域24aを流れて発光に寄与する電流の割合は著しく減少してしまう。従って、必要な電流密度を得るためには、電極間に印加するバイアス電圧を高くしなければならず、消費電力が増大するだけでなく、動作時の発熱量も増大するため、温度特性に悪影響を及ぼす等の問題点があった。

【0009】このような問題点を解消するためには、前記P型クラッド層（光閉じ込め層）25及びP型バッファ層（電極コンタクト層）26の膜厚を可及的に薄くして、電極27と活性層24間の距離を短縮すれば、電流

の広がり角を抑制できると考えられるが、実際には、これらP型層25、26の膜厚は活性層24で発生した光の吸収、反射に対する影響を少なくするため、 $1\mu\text{m}$ 以上に設定しなくてはならず、現状では電極27、活性層24間の距離を短縮することは困難である。

【0010】また、前記光閉じ込め層25は電極27から活性層24へと向かう垂直方向の光の閉じ込めを実現しているが、水平方向にはP型ZnSSeの単一成分層となっているため、屈折率吸収の差がない。従って、水平方向の光導波路は実質的に存在しないため、電流閉じ込めだけで該水平方向の光導波を行っている。このため、光の広がり角等の制御は専ら電流の広がり分布を調整することによって行うしかなく、このような手法では光の広がり角等の制御を細かく行うことは困難であった。

【0011】本発明は、上記従来の問題点を解決するためになされたもので、光閉じ込め層の内部に電流の広がりを阻止する構造を設けて、電流の発光に寄与する割合を大きくすることにより、消費電力の低減及び温度特性の改善を図るとともに、光閉じ込め層内における水平方向の光導波を細かく制御し得る半導体発光装置及びその製造方法を提供することを目的とするものである。

【0012】

【課題を解決するための手段】上記目的を達成するために本発明の半導体発光装置では、ZnCdSSe系またはMgZnCdSSe系のII-VI族半導体をGaAs基板上に成長して、該GaAs基板と同一導電型の第1光閉じ込め層、活性層及び、前記第1光閉じ込め層とは導電型の異なる第2、第3光閉じ込め層及び電極コンタクト層をその順序で積層状に形成するとともに、前記電極コンタクト層と前記GaAs基板の互いに対向する外表面にそれぞれ電極を形成したものととしている。

【0013】そして、前記第2光閉じ込め層と第3光閉じ込め層との間における前記活性層の中央発光領域と対向する中央帯状領域を除いた両側全域に互って、該第2、第3光閉じ込め層とは導電型の異なるGaAs電流阻止層を介在させている。

【0014】上記構成において、前記第2光閉じ込め層の膜厚は $0.5\mu\text{m}$ より薄く形成することが望ましい。

【0015】また、本発明の半導体発光装置の製造方法では、まず、ZnCdSSe系またはMgZnCdSSe系のII-VI族半導体をGaAs基板上に成長して、該GaAs基板と同一導電型の第1光閉じ込め層、活性層及び、前記第1光閉じ込め層とは導電型の異なる第2光閉じ込め層をその順序で積層状に形成した後、前記第2光閉じ込め層の表面全面に互って、該第2光閉じ込め層とは導電型の異なるGaAsを成長してGaAs層を形成する。

【0016】次いで、前記GaAs層における前記活性層の中央発光領域と対向する中央帯状領域を除去することにより、該帯状領域の両側にGaAs電流阻止層を形成し、その後、前記GaAs電流阻止層及び中央帯状領域に露出する

第2光閉じ込め層上の全面に互って前記II-VI族半導体を成長して、該第2光閉じ込め層と同一導電型の第3光閉じ込め層を形成するようにしている。

【0017】上記製造方法において、前記GaAs電流阻止層は、第2光閉じ込め層上にフォトリソグラフィの手法によりパターニングされたGaAs層を作製した後、該GaAs層の中央帯状領域をアンモニア、過酸化水素系のエッチング液でエッチングすることによって得ることができる。また好ましくは、GaAs電流阻止層の成長は、II-VI族半導体の成長時における温度よりも低い温度で行うようにする。

【0018】

【作用】上記本発明の構成によると、活性層を通して両端電極間を流れる電流は、GaAs電流阻止層形成部位では該電流阻止層が形成されていない中央帯状領域のみを流れ、この中央帯状領域と対向する活性層の中央発光領域に集中的に流れる。しかも、GaAs電流阻止層と活性層との距離が従来例と比較して大きく接近しているため、電流の広がりが大きく抑制され、大半の電流が発光に寄与するものとなる。従って、電極間に印加するバイアス電圧を低減することができる。その結果、電力消費を低く抑え、また、温度特性を改善することが可能になる。

【0019】また、電流阻止層を構成するGaAsと、第2、第3光閉じ込め層を構成するII-VI族半導体との屈折率が相違していることにより、両者間に存在する光の吸収の差によって、電流阻止層間の中央帯状領域が水平方向の光導波路として機能するので、該中央帯状領域の幅を適宜調整することにより、光の水平方向の広がりを細かく制御することが可能になる。

【0020】

【実施例】以下、本発明を半導体レーザ装置に適用した実施例を図面を参照しながら説明する。図1は本実施例の構成を模式的に示している。この図に示す装置はN型GaAs基板1上にZnCdSSe系のII-VI族半導体をエピタキシャル成長して多層状のPN接合構造を構成した青色発光半導体レーザである。

【0021】即ち、N型GaAs基板1上には、N型ZnSeからなるバッファ層2、N型ZnSSeからなる第1光閉じ込め層3、ZnCdSeからなる活性層4、P型ZnSSeからなる第2光閉じ込め層5がその順序で形成されており、さらに該第2光閉じ込め層5上には後述するN型GaAs電流阻止層6を介して第3光閉じ込め層7が形成され、該第3光閉じ込め層7上に電極コンタクト層8が形成されている。そして、電極コンタクト層8及びN型GaAs基板1の対向面にはその全面にAu等の金属を蒸着してなる電極9、10が形成されている。

【0022】第3光閉じ込め層7は第2光閉じ込め層5と同じくP型ZnSSeにより形成されていて、第2光閉じ込め層5と共にP型のクラッド層を構成している。尚ほ、第1光閉じ込め層3はN型のクラッド層を構成し、

いる。電極コンタクト層8はP型ZnSeにより形成されていて、バッファ層を構成している。

【0023】上記構成を備えた半導体レーザ装置では、電極9、10間に順方向にバイアス電圧を印加すると、電流は電極9から電極コンタクト層8、第3光閉じ込め層7及び第2光閉じ込め層5を経て活性層4へと流れ、該電流によって正孔が半導体P型層である第2、第3光閉じ込め層5、7から活性層4へ流れ込み、また、電子は半導体N型層である第1光閉じ込め層3から活性層4へ流れ込む。

【0024】このようにしてキャリアが注入されることにより、エネルギーレベルの低い活性層4に閉じ込められた電子と正孔の再結合が起こり、該活性層4の中央発光領域4aから自然光を放出する。さらに、励起電流が閾値を越えると、自然光の放出から誘導放出に移行し、活性層4の平行両端面間で光が共振してレーザ発振が起こる。

【0025】図2はN型GaAs電流阻止層6が形成されている装置上半部を示している。図1及び図2に示すように、前記N型GaAs電流阻止層6は第2光閉じ込め層5と第3光閉じ込め層7との間における中央帯状領域6aを除く両側全域に互って形成されている。中央帯状領域6aは前記活性層4の中央発光領域4aと対向する領域であって、第3光閉じ込め層7はこの中央帯状領域6aを介して第2光閉じ込め層5と一体に形成される。

【0026】このように光閉じ込め層5、7の膜厚中間部に、電流の通過を許す帯状領域6aを設け、その両側にN型GaAs電流阻止層6を設けた本実施例の構成においては、第2、第3光閉じ込め層5、7からなる光閉じ込め層全体の膜厚 $t_0$ に対し、第2光閉じ込め層5の膜厚 $t_1$ を3分の1を越えない程度に設定し、これによって電流阻止層6及び中央帯状領域6aが可及的に活性層4に近接対向するようにしている。具体的には、光閉じ込め層全体の膜厚 $t_0$ が $1.5\mu\text{m}$ 程度であるのに対し、第2光閉じ込め層5の膜厚 $t_1$ は $0.5\mu\text{m}$ よりも薄く形成される。

【0027】上記構成においては、活性層4を通過する両端電極9、10間を流れる電流は、その流れをN型GaAs電流阻止層6に阻止されるため、図1の矢印Lで示すように、該電流阻止層6間の中央帯状領域6aのみを通過し、膜厚の薄い第2光閉じ込め層5を経て活性層4の中央発光領域4aに集中的に流れる。

【0028】図3は中央帯状領域6aとその両側のN型GaAs電流阻止層6の領域における光吸収量を示している。この図に示すように、N型GaAs電流阻止層6と、P型ZnSe層である第2、第3光閉じ込め層5、7とでは屈折率の相違から生じる光の吸収の差が存在するため、中央帯状領域6aは光の吸収量の谷間となっており、水平方向の光導波路として機能するものとなる。従って、この中央帯状領域6aの幅Bを適宜調整することにより、光の

水平方向の広がり制御することができる。

【0029】図4、図5及び図7は本実施例の製造工程の一例を順を追って示している。上記構成の半導体レーザ装置は、まず、図4に示すように所定の基板温度、例えば $350^\circ\text{C}$ で、N型GaAs基板1上にZnCdSSe系のII-VI族半導体をエピタキシャル成長して、N型バッファ層2、N型の第1光閉じ込め層3、活性層4及び膜厚の薄いP型の第2光閉じ込め層5をその順序で積層状に形成する。

【0030】そして、第2光閉じ込め層5の表面全面に互ってN型GaAsをエピタキシャル成長してN型GaAs層6'を形成する。但し、このN型GaAs層6'の成長は、前記II-VI族半導体の成長温度よりも低い基板温度下で行う。このようにN型GaAs層6'の成長温度を低くすることにより、該N型GaAs層6'がII-VI族半導体膜中に拡散して電気的に高抵抗な合金層が生成されるのが防止され、該II-VI族半導体の膜質が変化するのを回避することができる。

【0031】次いで、図5に示すように、フォトリソグラフィの手法を用いて、N型GaAs電流阻止層6のパターンを作製した後、N型GaAs層6'における中央帯状領域6aに対応する部分6a'（図5による斜線部分）のみをエッチングすることにより、該中央帯状領域6aの両側にN型GaAs電流阻止層6が形成される。

【0032】図6はアンモニア、過酸化水素系のエッチング液を用いてN型GaAs層6'をエッチングしたときのエッチング時間と、GaAsとZnSSeのエッチング量との関係を示している。この図に示すように、第2光閉じ込め層5を構成するII-VI族半導体であるZnSSeは4分経過後において、侵食が殆ど進行していないのに対し、電流阻止層6を構成するGaAsはエッチング時間に比例して効果的に侵食が進行し、4分経過後には約 $1\mu\text{m}$ まで侵食される。

【0033】このようにアンモニア、過酸化水素系エッチング液を用いると、GaAsとII-VI族とはエッチングの進行速度が大きく相違するため、エッチング時間を適宜設定することにより、エッチング速度差によってGaAsのみをエッチングすることができるので、上記のようにII-VI族半導体層上に成長させたN型GaAs層6'の一部を除去する場合に特に好適であると言える。

【0034】以上のようにしてN型GaAs電流阻止層6を作製した後、図7に示すように、該電流阻止層6及び中央帯状領域11に露出する第2光閉じ込め層5上の全面に互って再びII-VI族半導体であるP型ZnSeをエピタキシャル成長し、これによって中央帯状領域11で第2光閉じ込め層5と連続する第3光閉じ込め層7を形成する。

【0035】さらに、この第3光閉じ込め層7上にII-VI族半導体であるP型ZnSeをエピタキシャル成長して、電極コンタクト層8を形成する。なお、第3光閉じ込め

層7及び電極コンタクト層8の成長は、いずれも第2光閉じ込め層5と同様の基板温度条件下で行うことができる。

【0036】また、本実施例では、電流阻止層6の存在によって電流を活性層4の中央発光領域4aに集中させることができるので、電極コンタクト層8上に形成される電極9を全面電極としても何等問題は生じない。

【0037】図8は本発明の他の実施例として、P型GaAs基板11上にPN接合構造を成長させた半導体レーザ装置を示している。即ち、本実施例では図8に示すように、P型GaAs基板11上にP型ZnSeからなるバッファ層12、P型ZnSsからなる第1光閉じ込め層13、ZnCdSeからなる活性層14、N型ZnSsからなる第2光閉じ込め層15がその順序で形成されている。

【0038】さらに第2光閉じ込め層15上にはP型GaAs電流阻止層16を介してN型ZnSsからなる第3光閉じ込め層17が形成され、該第3光閉じ込め層17上にN型ZnSeからなる電極コンタクト層18が形成されている。19、20は電極コンタクト層18及びP型GaAs基板11の対向面に形成された電極である。

【0039】このように本発明では、P型GaAs基板11上にII-VI族半導体膜を成長した構成の半導体レーザ装置にも適用できるが、この場合、電流阻止層16はN型の光閉じ込め層15、17に対してP型GaAsにより形成されたものとなる。

【0040】なお、上記各実施例では、II-VI族半導体膜をZnCdSs系により構成したものを示したが、本発明では、該半導体膜をMgZnCdSs系により構成しても、上記と同様の作用、効果を得ることができる。

【0041】

【発明の効果】以上説明したように本発明によるときは、活性層を挟んで形成したGaAs基板とは導電型の相違する第2光閉じ込め層と第3光閉じ込め層との間における前記活性層の中央発光領域と対向する中央帯状領域を除いた両側全域に互って、該第2、第3光閉じ込め層とは導電型の異なるGaAs電流阻止層を介在させているので、両端電極間を流れる電流を前記中央帯状領域と対向する活性層の中央発光領域に集中させることができる。

【0042】しかも、GaAs電流阻止層と活性層との距離が接近しているので、電流の広がり効果を抑制して、大半の電流を発光に寄与させることができる。従って、発光効率を著しく向上させることができるので、消費電力を減少させることができる上、これに伴って、余分な漏れ電流による装置自体の発熱が大幅に減少するので、優れた温度特性を有するものとなる。

【0043】また、電流阻止層を構成するGaAsと、第2、第3光閉じ込め層を構成するII-VI族半導体の屈折率が相違していることにより、両者間に存在する光の吸収の差によって、電流阻止層間の中央帯状領域が水平方向の光導波路として機能するので、該中央帯状領域の

幅を適宜調整するだけで、光導波を簡単に制御することができ、これによって装置に必要な光の広がり特性等を簡単且つ容易に実現できる。

【0044】さらに、電流阻止層の存在によって電流を活性層の中央発光領域に集中させることができるので、II-VI族電極コンタクト層上に形成される電極を全面電極とすることができる。このように全面電極とした場合、電極コンタクト層と電極との接触面積を広げることができるので、ここでの抵抗も減少させることができ、装置の発熱を一層減少させることができる。

【0045】以上要するに本発明は、電流阻止層を設けて電流の発光に寄与する割合を大きくすることによって、消費電力の低減及び温度特性の向上が図られ、且つ、光閉じ込め層内における水平方向の光導波を細かく制御できるという従来に見られない優れた効果を発揮するものとなった。

【図面の簡単な説明】

【図1】 本発明の実施例の構成を模式的に示す断面図。

【図2】 その要部斜視図。

【図3】 その実施例における中央帯状領域とその両側のN型GaAs電流阻止層領域における光吸収量を示す線図。

【図4】 その実施例装置の製造過程においてGaAs電流阻止層を形成した状態を模式的に示す断面図。

【図5】 GaAs電流阻止層をエッチングして中央帯状領域を形成した状態を模式的に示す断面図。

【図6】 GaAsとZnSsの単位時間当たりのエッチングされた膜厚寸法を示す線図。

【図7】 中央帯状領域のエッチング後、第3光閉じ込め層を形成した状態を模式的に示す断面図。

【図8】 本発明の他の実施例の構成を模式的に示す断面図。

【図9】 従来例の構成を模式的に示す断面図。

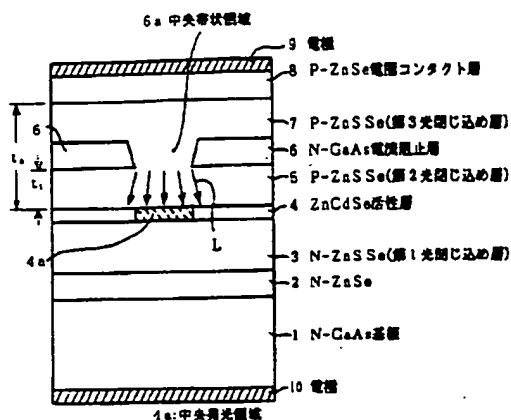
【符号の説明】

- 1 N型GaAs基板
- 3 N型第1光閉じ込め層
- 4 活性層
- 4a 中央発光領域
- 5 P型第2光閉じ込め層
- 6 N型GaAs電流阻止層
- 6' N型GaAs層
- 6a 中央帯状領域
- 7 P型第3光閉じ込め層
- 8 P型電極コンタクト層
- 9 電極
- 10 電極
- 11 P型GaAs基板
- 13 P型第1光閉じ込め層
- 14 活性層

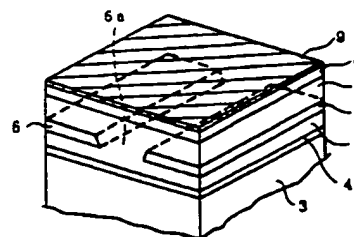
- 15 N型第2光閉じ込め層  
16 P型GaAs電流阻止層  
17 N型第3光閉じ込め層

- 18 N型電極コンタクト層  
19 電極  
20 電極

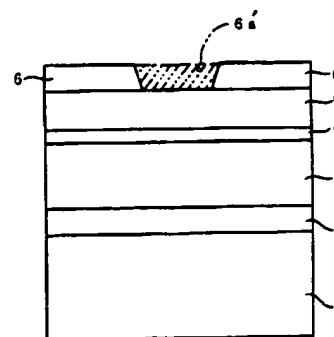
【図1】



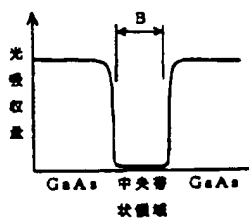
【図2】



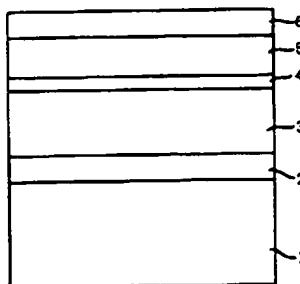
【図5】



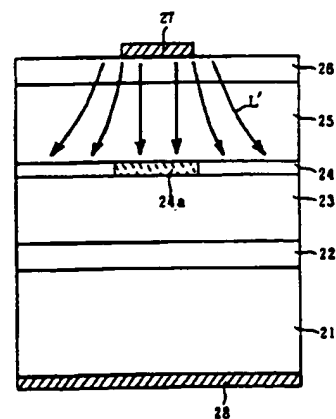
【図3】



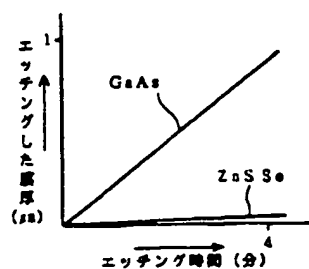
【図4】



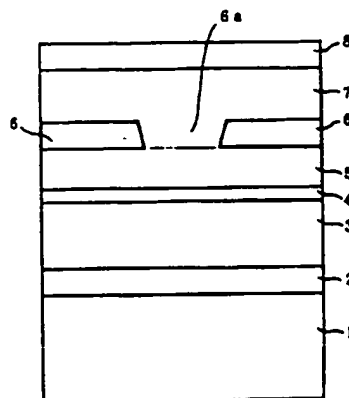
【図9】



【図6】



【図7】





【圖8】

